

DIALOG(R)File 352:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

007326967

WPI Acc No: 1987-323974/198746

**Wiring method for semiconductor device - by wiring semiconductor device  
surface with laser CVD and forming insulation film locally between  
crossing wirings NoAbstract Dwg 1/2**

Patent Assignee: HITACHI LTD (HITA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 62229957</b>	A	19871008	JP 8670980	A	19860331	198746 B

Priority Applications (No Type Date): JP 8670980 A 19860331

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 62229957	A		3		
-------------	---	--	---	--	--

Title Terms: WIRE; METHOD; SEMICONDUCTOR; DEVICE; WIRE;  
SEMICONDUCTOR;

DEVICE; SURFACE; LASER; CVD; FORMING; INSULATE; FILM; LOCAL;  
CROSS; WIRE;

NOABSTRACT

Index Terms/Additional Words: CHEMICAL; VAPOUR; DEPOSIT

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/88

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

02313057      **\*\*Image available\*\***  
METHOD FOR WIRING OF SEMICONDUCTOR DEVICE

PUB. NO.:        **62-229957** [JP 62229957 A]  
PUBLISHED:      October 08, 1987 (19871008)  
INVENTOR(s):    HONGO MIKIO  
                  MIZUKOSHI KATSURO  
                  AZUMA JUNZO  
                  MIYAUCHI TAKEOKI  
                  SAITOU HIROTANI  
APPLICANT(s):   HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
                  (Japan)  
APPL. NO.:       61-070980 [JP 8670980]  
FILED:           March 31, 1986 (19860331)  
INTL CLASS:      [4] H01L-021/88; H01L-021/314  
JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD:R002 (LASERS)  
JOURNAL:          Section: E, Section No. 594, Vol. 12, No. 99, Pg. 68, March  
                  31, 1988 (19880331)

#### ABSTRACT

**PURPOSE:** To repair a defective part while wirings are crossed without having a short circuit by a method wherein a wiring is formed by performing a laser CVD, and an insulating film is locally formed between crossing wirings.

**CONSTITUTION:** A chip is placed in CVD gas 5 atmosphere in which a wiring will be formed. On this chip, a window 6 is formed on the connecting part in advance, an additional wiring 8 is formed while a focussed laser beam 7 to be used to deposit a wiring material by dissolving CVD gas, is being projected in a scanning manner, and the connection of 6a and 6b is completed. Then, the CVD gas 5 to be used to deposit the wiring material is exhausted, the CVD material gas 9 to be used to deposit an insulating material is introduced, and the laser beam 7 is made to irradiate scanningly on the crossing part of the additional wiring 8. As a result, the CVD gas 9 is dissolved, and an insulating film 10 is formed. Then, the CVD gas 9 is exhausted again, the CVD gas 5 to be used to deposit the wiring material is introduced, and an additional wiring 11 crossing the additional wiring 8 is formed while the laser beam is being projected through the intermediary of the insulating film 10 on the additional wiring 8.

?

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-229957

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)10月8日

H 01 L 21/88  
21/314

6708-5F  
6708-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の配線方法

⑮ 特 願 昭61-70980

⑯ 出 願 昭61(1986)3月31日

⑰ 発 明 者	本 郷	幹 雄	横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑰ 発 明 者	水 越	克 郎	横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑰ 発 明 者	東	淳 三	横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑰ 発 明 者	宮 内	建 興	横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
⑰ 出 願 人	株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地		
⑰ 代 理 人	弁理士 小川 勝男 外1名		

最終頁に続く

明 細 書

1 発明の名称

半導体装置の配線方法

2. 特許請求の範囲

1. 半導体装置表面にレーザCVDにより配線を形成し、交差する配線の間局所的に絶縁膜を形成することを特徴とする半導体装置の配線方法。

2. 局所的に絶縁膜をレーザCVDにより形成することを特徴とする特許請求の範囲第1項記載の半導体装置の配線方法。

3. 交差する配線の一方の表面を酸化雰囲気内でレーザ加熱により酸化させることを特徴とする特許請求の範囲第1項記載の半導体装置の配線付加方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体装置の表面に配線を付加する方法に係り、特に試作した半導体装置に部分的な不良が存在する場合に不良箇所を特定したり補修

するのに好適な配線付加方法に関する。

[従来の技術]

近年、半導体装置は微細化、高集積化が著しく製作した半導体装置が設計通りに動作することは少なく、チップ上の配線を切断したり、任意の部分を接続することにより不良箇所を特定したり、あるいは補修することにより暫定的に完全な動作が得られる様にして特性を評価することが行なわれている。このうち、任意の箇所を接続する方法としてアブライド・フィジックス・レター39(12)(1981年)第957頁から第959頁(Applied Physics Letter 39(12)(1981) pp 957 ~ 959, あるいはエクステンデッド・アブストラクト・オブ・ザ・セブンティーン・コンファレンス・オン・ソリッド・ステート・デバイス・アンド・マテリアルズ(1985年)第193頁から第196頁(Extended Abstracts of the 17th Conference on Solid State Devices and Materials, Tokyo, 1985 pp 193 ~ 196などで、レーザCVDにより局所的に配線を付加形成する技術が論じられている。

## 〔発明が解決しようとする問題点〕

上記従来技術は、複数の配線が交差する点については配慮がされておらず、交差させた場合には短絡してしまい、本来の目的が達成できない。また、交差を避けるためには適用範囲が限定されてしまうという問題点があった。

本発明の目的は、複数の配線が交差しても短絡することなくチップ上の任意の箇所を接続できる半導体装置の配線方法を提供することにある。

## 〔問題点を解決するための手段〕

上記目的は、交差する配線の間に局部的に絶縁層を形成することにより、達成される。

## 〔作用〕

即ち、まず下層となる配線をレーザCVDにより配線を形成するため材料ガス雰囲気中でレーザ光を照射して形成し、その後材料ガスを交換して交差する部分を含む周辺部に、同じくレーザCVDにより絶縁層を形成する。しかる後に下層配線と交差する配線を絶縁層上に形成することにより、上下配線は互いに絶縁されていて短絡することが

ためのCVD材料ガス9を導入して第1図(c)に示す様に付加配線8の交差部分にレーザ光7を、少なくとも交差部分を覆う様に走査しつつ照射する。これにより、CVDガス9が分解され、第1図(d)に示す様に絶縁膜10が形成される。次に再度、CVDガス9を排気して配線材料を析出させるためのCVDガス5を導入する。第1図(e)に示す様にしかる後にレーザ光7を照射しつつ、付加配線8上の絶縁膜10を介して、紙面に垂直方向に走査して付加配線8に交差する付加配線11を形成する。

ここで、パシベーション膜4の窓あけはリソグラフィ技術を用いたエッチングの他に、レーザ加工、イオンビーム加工等を適用することにより達成できる。付加配線8、11の形成に用いるCVDガス5として $\text{SiH}_4$ とドーパントガス、例えば $\text{B}_2\text{O}_3$ 、 $\text{B}(\text{CH}_3)_3$ などとの混合ガスを使用することにより、不純物がドーパされた多結晶 $\text{Si}$ 配線が、レーザ光7としてArレーザを照射することにより形成できる。また、絶縁膜10を形成するCVD

ない。

## 〔実施例〕

以下、本発明の実施例を図に従い説明する。第1図は本発明の一実施例の手順を説明するものである。まず第1図(a)に示す様に $\text{Si}$ 基板1上に $\text{SiO}_2$ 膜2を介して配線層3が形成され、パシベーション膜4が全面に形成されたチップを、配線形成のためのCVDガス5雰囲気中に載置する。このチップには、接続を要する部分に予かじめ窓部6が形成されている。なお図では説明上不要な部分、例えば拡散層などは省略してある。ここで、CVDガス5を分解して配線材料を析出させるためのレーザ光7を集光照射しつつ矢印で示す方向へ走査させる。これは、レーザ光7を移動させても、チップを移動させても良い。接続を要する部分(図中の6aから6bまで)の走査を終了した時点でレーザ光7の照射を停止することにより、第1図(b)に示す様に付加配線8が形成され、6aと6bの接続が完了する。次に配線材料を析出させるためのCVDガス5を排出し、絶縁材料を析出させる

ガス9として $\text{SiH}_4$ と $\text{N}_2\text{O}$ の混合ガスを使用することにより $\text{SiO}_2$ 膜が形成できる。レーザ光としては付加配線の形成と同じくArレーザを使用する。

以上の他、配線材料としてAlを析出させる場合は $\text{Al}(\text{CH}_3)_3$ とArレーザの第2高調波、Cdを析出させる場合は $\text{Cd}(\text{CH}_3)_2$ とArレーザの第2高調波、Moを析出させる場合は $\text{Mo}(\text{CO})_6$ とArレーザ、Wを析出させる場合には $\text{W}(\text{CO})_6$ とArレーザ、Niを析出させる場合には $\text{Ni}(\text{CO})_4$ とArレーザ等の組合せを、また絶縁材料として $\text{Al}_2\text{O}_3$ を析出させる場合には $\text{Al}(\text{CH}_3)_3$ と $\text{N}_2\text{O}$ の混合ガスとArレーザの第2高調波を、 $\text{MoO}_3$ を析出させる場合には $\text{Mo}(\text{CO})_6$ と $\text{O}_2$ の混合ガスとArレーザを、 $\text{WO}_3$ を析出させる場合には $\text{W}(\text{CO})_6$ と $\text{O}_2$ の混合ガスとArレーザ等の組合せを使用することができるが、本発明はこれらに限定されるものではない。

次に本発明の別な実施例についてその処理手順を第2図に示す。まず第2図(a)は第1図(a)と同じ

く  $\text{Si}$  基板 1 上に  $\text{SiO}_2$  膜 2 を介して配線層 3 が形成され、パシベーション膜 4 が全面に形成されたチップが配線材料を析出させるための CVD ガス 5 の雰囲気中に置かれる。このチップには配線接続を要する部分に予め窓部 6 が形成されている。なお図には、説明上不要部分は省略してある。ここで、CVD ガス 5 を分解して配線材料を析出させるためのレーザ光 7 を集光照射しつつ走査する。第 1 図(a)では紙面に垂直方向に走査させている。接続に必要な部分へのレーザ照射が終了した時点でレーザ照射を停止することにより、付加配線 8 が形成される。次に配線材料を析出させるための CVD ガス 5 を排出し、 $\text{O}_2$  ガスあるいは乾燥空気 12 を導入して、第 2 図(b)に示す様に付加配線 8 の交差部分にレーザ光 7 を少なくとも交差部分を覆う様に走査しつつ照射する。これにより、第 2 図(c)に示す様にレーザ光 7 を照射された付加配線 8 の表面部分に酸化皮膜 13 が形成される。次に  $\text{O}_2$  ガスあるいは乾燥空気 12 を排出し、配線材料を析出させるための CVD ガス 5 を導入する。し

素などを吹き付けながらレーザを照射して配線、絶縁膜あるいは酸化膜を形成することができる。この場合は、バルブ操作により吹き出させるガスの種類を変えるだけで、配線と絶縁膜の切換えができる。(切換えに要する時間は短い、CVD ガスのムダが多い。)当然、時間、CVD ガス消費量を除けば、得られる効果は同じである。

なお、今まで CVD ガスと述べてきたものは、反応ガスおよび必要に応じて使用されるバッファの混合ガスの意味である。

また、交差する配線が異なる材料(例えば下層が多結晶  $\text{Si}$  配線、上層が  $\text{Al}$  配線)の場合でも、さらには交差する配線のおのおのおよび絶縁層を形成するのに異なるレーザを使用する場合についても本発明に含まれる。

#### [ 発明の効果 ]

本発明によれば、複数の配線を短絡することなく交差させながら LSI チップ上の任意の箇所を接続できるので、半導体装置に不良が存在する場合に、不良箇所の特定が確実に行なえる。また、

かる後に、第 2 図(d)に示す様にレーザ光 7 を集光照射しつつ矢印で示す方向へ走査させる。これにより、第 2 図(e)に示す様に付加配線 8 と酸化皮膜 13 を介して交差する付加配線 11 を形成することができる。ここで、配線材料を析出させるための CVD 材料ガスとレーザについては前に述べた組合せを用いることができ、また酸化皮膜を形成するためには  $\text{O}_2$  ガス(あるいは乾燥空気)と加熱することのできるいかなるレーザとの組合せでも可能である。

以上、実施例で述べた方法はウエハあるいはチップを CVD チャンバ内に挿入し一定圧力まで CVD ガスあるいは酸素を導入した後、レーザを照射して配線あるいは絶縁膜、酸化皮膜を形成するものであり、CVD ガスあるいは酸素の導入、排気を何回か繰返して必要な配線(絶縁膜を含む)を形成するものである。

また、これ以外に、同じくウエハあるいはチップを CVD チャンバ内に挿入し、チャンバ内を常に排気しながらノズル等で CVD ガスあるいは酸

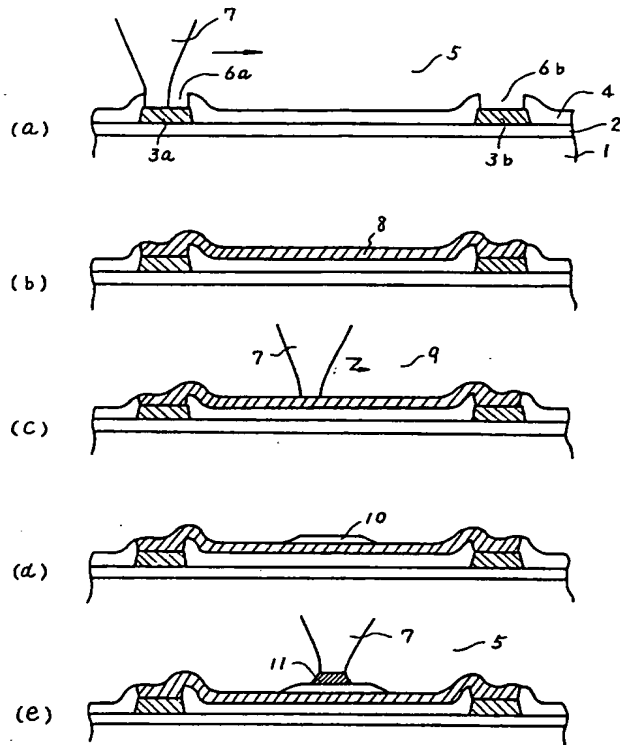
完全な動作が得られる様に補修する場合においても、配線上の不良については事実上制限なく補修が行える効果がある。

#### 4. 図面の簡単な説明

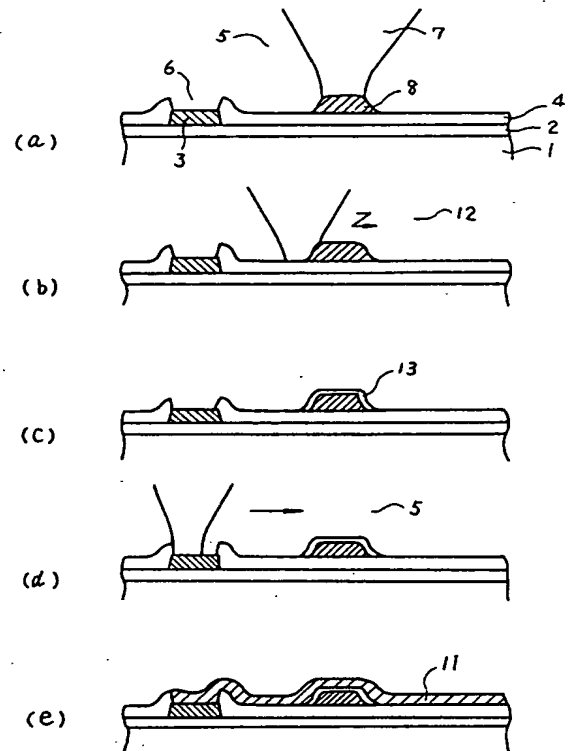
第 1 図は本発明のレーザ処理方法の手順を説明する図、第 2 図は別な実施例の手順を説明する図である。

1 …  $\text{Si}$  基板、2 …  $\text{SiO}_2$  膜、3 … 配線層、4 … パシベーション膜、5 … 配線材料を析出するための CVD ガス、6 … 窓部、7 … レーザ光、8, 11 … 付加配線、10 … 絶縁膜、13 … 酸化皮膜。

第 1 図



第 2 図



第 1 頁の続き

⑦発 明 者 齋 藤 啓 谷 横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内